

DIALOG(R) File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

BEST AVAILABLE COPY

014672936 **Image available**
WPI Acc No: 2002-493640/ 200253
XRPX Acc No: N02-390333

Electron emitting element has gate electrode which controls discharge of electron, cathode electrode which discharges electron and anode electrode which receives electron discharged from cathode electrode

Patent Assignee: CANON KK (CANO)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2002100279	A	20020405	JP 2000289183	A	20000922	200253 B

Priority Applications (No Type Date): JP 2000289183 A 20000922

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2002100279	A	14	H01J-001/304	

Abstract (Basic): JP 2002100279 A

NOVELTY - The electron emitting element has a gate electrode (4) which controls the discharge of electron. A cathode electrode (2) discharges the electron. An anode electrode (6) discharges the electron and receives the electron from the cathode electrode.

DETAILED DESCRIPTION - INDEPENDENT CLAIMS are also included for the following:

- (a) an electron source;
- (b) an image forming device;
- (c) and a drive method of an electron emitting element.

USE - For image forming device.

ADVANTAGE - Enables stably controlling the electron emission at a low voltage.

DESCRIPTION OF DRAWING(S) - The figures show the model diagrams of the electron emitting element.

Cathode electrode (2)

Gate electrode (4)

Anode electrode (6)

pp; 14 DwgNo 1/16

Title Terms: ELECTRON; EMIT; ELEMENT; GATE; ELECTRODE; CONTROL; DISCHARGE; ELECTRON; CATHODE; ELECTRODE; DISCHARGE; ELECTRON; ANODE; ELECTRODE; RECEIVE; ELECTRON; DISCHARGE; CATHODE; ELECTRODE

Derwent Class: P85; T04; V05

International Patent Class (Main): H01J-001/304

International Patent Class (Additional): G09G-003/20; G09G-003/22; H01J-029/04; H01J-031/12

File Segment: EPI; EngPI

Manual Codes (EPI/S-X): T04-H03C5A; V05-D01C3; V05-D05C5; V05-D06A2

THIS PAGE BLANK
1257

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-100279
(P2002-100279A)

(43)公開日 平成14年4月5日(2002.4.5)

(51)Int.Cl. ⁷	識別記号	F I	テマコード(参考)
H 01 J 1/304		G 09 G 3/20	6 2 4 G 5 C 0 3 1
G 09 G 3/20	6 2 4	3/22	D 5 C 0 3 6
3/22		H 01 J 29/04	5 C 0 8 0
H 01 J 29/04		31/12	C
31/12		1/30	F

審査請求 未請求 請求項の数14 O.L (全 14 頁)

(21)出願番号 特願2000-289183(P2000-289183)

(22)出願日 平成12年9月22日(2000.9.22)

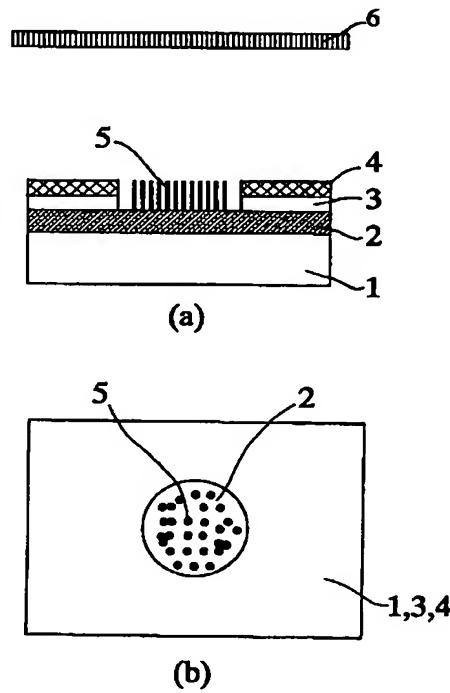
(71)出願人 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号
(72)発明者 笹栗 大助
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内
(74)代理人 100085006
弁理士 世良 和信 (外2名)
Fターム(参考) 5C031 DD17
5C036 EE14 EF01 EF06 EG12 EG48
5C080 AA01 BB05 DD09 FF07 JJ02
JJ04 JJ06

(54)【発明の名称】 電子放出素子及び電子源及び画像形成装置及び電子放出素子の駆動方法

(57)【要約】

【課題】 低電圧で容易に駆動制御を行うことができ、安定した制御が可能な電子放出素子及び電子源及び画像形成装置及び電子放出素子の駆動方法を提供する。

【解決手段】 アノード電極6に駆動電圧(例えば10KVの電圧)を印加するようにし、駆動を行う場合にはゲート電極4に例えば0Vを印加することで、カソード電極2に作用する電界強度を、カソード電極から電子放出が開始される閾値電界よりも大きくし、駆動を行わない場合にはゲート電極4に制御電圧(例えば-15Vの電圧)を印加することで、カソード電極2に作用する電界強度を閾値電界よりも小さくする。



【特許請求の範囲】

【請求項1】電子を放出するカソード電極と、駆動電圧が印加されることで電界を形成し、前記カソード電極より電子を放出させて該電子を捕獲するアノード電極と、該アノード電極に前記駆動電圧が印加された状態で、制御電圧が印加されることで電界を形成し、前記電子の放出を制御するゲート電極と、を備えることを特徴とする電子放出素子。

【請求項2】前記ゲート電極に、電子放出を停止させる電圧を印加すると、前記アノード電極がカソード電極に対して作用する電界強度が、該カソード電極から電子が放出する電界の閾値よりも小さくなることを特徴とする請求項1に記載の電子放出素子。

【請求項3】前記ゲート電極がカソード電極に作用する電界をEg、前記アノード電極がカソード電極に作用する電界をEa、前記カソード電極から電子が放出する電界の閾値をEeとすると、

電子を放出する駆動状態の場合には、

$Eg < Ee$ かつ $Ee < Ea$ を満たすと共に、

電子放出を停止させる場合には、

$Eg < Ea$ かつ $Ea < Ee$ 、または、 $Ea < Eg$ かつ $Eg < Ee$ を満たすように、前記ゲート電極に電圧を印加することを特徴とする請求項1または2に記載の電子放出素子。

【請求項4】前記ゲート電極は、カソード電極上に絶縁層を介してアノード電極側に積層されると共に、該ゲート電極の一部及び絶縁層の一部に、カソード電極の一部がアノード電極側に露出するよう開口部が設けられており、該開口部内に電子放出部が設けられることを特徴とする請求項1、2または3に記載の電子放出素子。

【請求項5】前記カソード電極は、ゲート電極上に絶縁層を介してアノード電極側に積層されることを特徴とする請求項1、2または3に記載の電子放出素子。

【請求項6】前記カソード電極上に、電子放出部となる電子放出材料を設けることを特徴とする請求項1～5のいずれか一つに記載の電子放出素子。

【請求項7】前記電子放出材料は、カソード電極の素材とは異なる材料であることを特徴とする請求項6に記載の電子放出素子。

【請求項8】前記電子放出材料は、炭素を主成分とする材料であることを特徴とする請求項6または7に記載の電子放出素子。

【請求項9】請求項1～8のいずれか一つに記載の電子放出素子が複数配置されたことを特徴とする電子源。

【請求項10】前記複数の電子放出素子が、マトリクス配線されていることを特徴とする請求項9に記載の電子源。

【請求項11】請求項9または10に記載の電子源と、

該電子源から放出された電子によって画像を形成する画像形成部材と、を備えることを特徴とする画像形成装置。

【請求項12】前記画像形成部材は蛍光体であることを特徴とする請求項11に記載の画像形成装置。

【請求項13】アノード電極に対向して配置されたカソード電極の近傍にゲート電極を設け、前記アノード電極に駆動電圧を印加して電界を形成させ、カソード電極から電子を放出させて、放出させた電子を該アノード電極によって捕獲させると共に、該アノード電極に前記駆動電圧を印加したままの状態で、前記ゲート電極に制御電圧を印加することによって電界を形成させ、前記カソード電極からの電子放出を制御することを特徴とする電子放出素子の駆動方法。

【請求項14】前記アノード電極がカソード電極に対して作用する電界強度が、該カソード電極から電子が放出する電界の閾値よりも小さくなるように、前記ゲート電極に電圧を印加することを特徴とする請求項13に記載の電子放出素子の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電圧を印加することによって電子放出を行う電子放出素子及び電子源及び画像形成装置及び電子放出素子の駆動方法に関するものである。

【0002】

【従来の技術】従来、電子放出素子としては、大別して熱電子放出素子と冷陰極電子放出素子の2種類のものが知られている。冷陰極電子放出素子には電界放出型（以下、「FE型」という。）、金属／絶縁層／金属型（以下、「MIM型」という。）や表面伝導型電子放出素子等がある。

【0003】FE型の例としてはW. P. Dyke & W. W. Dolan, "Field Emission", Advance in Electron Physics, 8, 89 (1956) あるいはC. A. Spindt, "PHYSICAL Properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248 (1976) 等に開示されたものが知られている。

【0004】MIM型の例としてはC. A. Mead, "Operation of Tunnel-Emission Devices", J. Appl. Phys., 32, 646 (1961) 等に開示されたものが知られている。

【0005】また、最近の例では、Toshiaki Kusunoki, "Fluctuation-free electron emission from

non-formed-metal-insulator-metal (MIM) cathodes Fabricated by low current Anodic oxidation", Jpn. J. Appl. Phys. vol. 32 (1993) pp. L1695, Mutsumi suzuki et al "An MIM-Cathode Array for Cathode luminescent Displays", IDW'96, (1996) pp. 529等が研究されている。

【0006】表面伝導型の例としては、エリンソンの報告(M. I. Elinson Radio Eng. Electron Phys., 10 (1965))に記載のもの等があり、この表面伝導型電子放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するものである。表面伝導型素子では、前記のエリソンの報告に記載のSnO₂薄膜を用いたもの、Au薄膜を用いたもの、(G. Dittmer. Thin Solid Films, 9, 317 (1972))、In₂O₃/SnO₂薄膜によるもの(M. Hartwell and C. G. Fonstad, IEEE Trans. ED Conf., 519 (1983))等が報告されている。

【0007】ここで、電子放出素子を用いて画像表示装置を実現するためには、カソード電極等から構成する電子放出部と、それに対向して配置する蛍光体からなる陽極電極等を設けて、電子放出部から放出した電子を陽極電極に衝突させて発光させる構成とする。そして、高精細な画像形成装置を実用化するためには、低電圧で安定した電子放出素子を実現する必要があった。

【0008】従来、代表的な電子放出素子としては、Spin-dit型と呼ばれるものが知られており、これはゲート電極と呼ばれる制御電極に正の電圧を印加して、電子を放出するマイクロカソードに電界を集中することで、マイクロカソードから電子を放出させて、カソード上空に配置したアノード電極により電子を補足するものである。

【0009】その他にも、特開平08-09703号公報に開示されているように、ホール構造をした電子放出素子等も提案されている。

【0010】また、近年、より低電圧で電子放出可能な電子放出材料が盛んに研究され、ダイヤモンド、ダイヤモンドライクカーボン(DLC)、カーボンナノチューブ(CNT)等の炭素系材料が注目されている。これらの電子放出材料により、電子放出に必要な電界は、従来 $1 \times 10^9 V/m$ 程度だったものが、 $1 \times 10^7 V/m$ 程度まで低下できるようになってきた。

【0011】

【発明が解決しようとする課題】しかしながら、上記の

ような従来技術の場合には、下記のような問題が生じていた。

【0012】上記のような電子放出材料を用いた電子放出素子では、例えば、USP 5543684に開示されているように、アノード電極に印加する電圧を変化させて、スイッチングを行うものがある。

【0013】しかし、高電圧に印加したアノード電極を変調する方法の場合には、応答速度が低下してしまうことや、周辺回路の設計が困難であるという問題があった。

【0014】また、高輝度な画像形成装置を実現するためには、真空中に放出した電子を、高いエネルギーに加速して蛍光体に衝突させることができなく、そのため、蛍光体に高電圧を印加する必要があるが、この場合、ゲート電圧をOFFした場合でも、アノード電極に印加した電圧で、電子が放出されてしまい、完全に電子放出を停止することが困難であった。

【0015】これらについて、図15および図16を参照して更に詳しく説明する。

【0016】図15は従来技術に係るアノード電極変調型電子放出素子の電位分布を示したものであり、(a)は電子を放出する駆動状態、(b)は電子放出を停止している状態である。

【0017】図16は従来技術に係るゲート電極でカソード電極上に配置した電子放出材料から電子を放出させる構造をとる電子放出素子の電位分布を示したものであり、(a)は電子を放出する駆動状態、(b)は電子放出を停止している状態である。

【0018】図15に示す電子放出素子においては、アノード電極6に電圧を印加することによって、直接カソード電極2上に設けられた電子放出部5から電子を放出させて、放出した電子をアノード電極6で捕獲する構成であることから、電子放出と放出の停止を制御する場合には、高電圧に印加したアノード電極6を変調する必要があった。

【0019】従って、高精細な画像形成装置のスイッチング方法としては不適切であった。

【0020】また、図16に示す電子放出素子においては、アノード電極6に対しては常に所定の電圧を印加しておき、カソード電極2上に絶縁層3を介して積層させたゲート電極4に駆動電圧を印加することでカソード電極2から電子を引き出して(放出させて)、引き出した電子をアノード電極6によって形成した電界によりアノード電極6で捕獲し、ゲート電極4への電圧印加を停止することでカソード電極2からの電子の引き出しを停止する構成である。

【0021】この場合には、電子放出を比較的低い電圧で行うことができるが、図16(b)に示す電子放出を停止する状態において、高電圧に印加されたアノード電極による電界E_aが電子放出の閾値電界E_eより大きくな

なってしまうことがあり、完全に電子放出を停止することが困難な場合があった。

【0022】また、低電界電子放出材料を形成する場合には、ゲート電極間との距離の制御が困難で、駆動電圧のバラツキ等も問題となっていた。

【0023】本発明は、上記のような従来技術の課題を解決するためになされたものであって、その目的とするところは、低電圧で容易に駆動制御を行うことができ、安定した制御が可能な電子放出素子及び電子源及び画像形成装置及び電子放出素子の駆動方法を提供することである。

【0024】

【課題を解決するための手段】上記目的を達成するためには、本発明の電子放出素子にあっては、電子を放出するカソード電極と、駆動電圧が印加されることで電界を形成し、前記カソード電極より電子を放出させて該電子を捕獲するアノード電極と、該アノード電極に前記駆動電圧が印加された状態で、制御電圧が印加されることで電界を形成し、前記電子の放出を制御するゲート電極と、を備えることを特徴とする。

【0025】また、前記ゲート電極に、電子放出を停止させる電圧を印加すると、前記アノード電極がカソード電極に対して作用する電界強度が、該カソード電極から電子が放出する電界の閾値よりも小さくなることを特徴とする。

【0026】また、前記ゲート電極がカソード電極に作用する電界をE_g、前記アノード電極がカソード電極に作用する電界をE_a、前記カソード電極から電子が放出する電界の閾値をE_eとすると、電子を放出する駆動状態の場合には、E_g < E_eかつE_e < E_aを満たすと共に、電子放出を停止させる場合には、E_g < E_aかつE_a < E_e、または、E_a < E_gかつE_g < E_eを満たすように、前記ゲート電極に電圧を印加することを特徴とする。

【0027】また、前記ゲート電極は、カソード電極上に絶縁層を介してアノード電極側に積層されると共に、該ゲート電極の一部及び絶縁層の一部に、カソード電極の一部がアノード電極側に露出するよう開口部が設けられており、該開口部内に電子放出部が設けられることを特徴とする。

【0028】また、前記カソード電極は、ゲート電極上に絶縁層を介してアノード電極側に積層されることを特徴とする。

【0029】また、前記カソード電極上に、電子放出部となる電子放出材料を設けることを特徴とする。

【0030】また、前記電子放出材料は、カソード電極の素材とは異なる材料であることを特徴とする。

【0031】また、前記電子放出材料は、炭素を主成分とする材料であることを特徴とする。

【0032】また、本発明の電子源にあっては、上記の

電子放出素子が複数配置されたことを特徴とする。

【0033】また、前記複数の電子放出素子が、マトリクス配線されていることを特徴とする。

【0034】また、本発明の画像形成装置にあっては、上記電子源と、該電子源から放出された電子によって画像を形成する画像形成部材と、を備えることを特徴とする。

【0035】また、前記画像形成部材は蛍光体であることを特徴とする。

【0036】また、本発明の電子放出素子の駆動方法にあっては、アノード電極に対向して配置されたカソード電極の近傍にゲート電極を設け、前記アノード電極に駆動電圧を印加して電界を形成させ、カソード電極から電子を放出させて、放出させた電子を該アノード電極によって捕獲させると共に、該アノード電極に前記駆動電圧を印加したままの状態で、前記ゲート電極に制御電圧を印加することによって電界を形成させ、前記カソード電極からの電子放出を制御することを特徴とする。

【0037】また、前記アノード電極がカソード電極に対して作用する電界強度が、該カソード電極から電子が放出する電界の閾値よりも小さくなるように、前記ゲート電極に電圧を印加することを特徴とする。

【0038】

【発明の実施の形態】以下に図面を参照して、この発明の好適な実施の形態を例示的に詳しく説明する。ただし、この実施の形態に記載されている構成部品の寸法、材質、形状、その相対配置などは、特に特定的な記載がない限りは、この発明の範囲をそれらのみに限定する趣旨のものではない。

【0039】図1～図6を参照して、本発明の実施の形態に係る電子放出素子について説明する。

【0040】まず、特に、図1～図3を参照して、本発明の実施の形態に係る電子放出素子の全体構成及び製造方法について説明する。図1は本発明の実施の形態に係る電子放出素子の模式図((a)は模式的断面図、(b)は模式的平面図)であり、図2は電圧を印加可能な状態に配線した場合における電子放出素子の模式図である。また、図3は本発明の実施の形態に係る電子放出素子の製造工程図である。

【0041】本実施の形態に係る電子放出素子は、概略、基板1と基板1上に積層されるカソード電極2と、カソード電極2上に積層される絶縁層3と、絶縁層3上に積層されるゲート電極4と、絶縁層3及びゲート電極4を貫き、カソード電極を露出させる開口部内の電子放出部5と、これらに対向して配置されるアノード電極6と、から構成される。

【0042】本発明の実施の形態に係る電子放出素子の製造方法の一例を説明すると、予め、その表面を十分に洗浄した、石英ガラス、Na等の不純物含有量を減少させたガラス、青板ガラス及びシリコン基板等にスパッタ

法等により SiO_2 を積層した積層体、アルミナ等のセラミックスの絶縁性の基板1上にカソード電極2を形成する。

【0043】カソード電極2は一般的に導電性を有しており、蒸着法やスパッタ法等の一般的な真空成膜技術、フォトリソグラフィー技術により形成される。

【0044】カソード電極2の材料は、例えば、Be、Mg、Ti、Zr、Hf、V、Nb、Ta、Mo、W、Al、Cu、Ni、Cr、Au、Pt、Pd等の金属または合金材料、TiC、ZrC、HfC、TaC、SiC、WC等の炭化物、HfB₂、ZrB₂、LaB₆、CeB₆、YB₄、GdB₄等の硼化物、TiN、ZrN、HfN等の窒化物、Si、Ge等の半導体、カーボン等から適宜選択される。

【0045】また、カソード電極2の厚さとしては、数十nmから数百μmの範囲で設定され、好ましくは数百nmから数μmの範囲で選択される。

【0046】ここで、本発明の実施の形態のように、カソード電極2から直接電子を放出する素子構造の場合には、カソード電極2の素材は低仕事関数材料が望ましく、例えば、ダイヤモンド、DLC等の炭素系材料、金属の炭化物、窒化物等から最適な材料を選択すれば良い。

【0047】また、カソード電極2は、低電界で電子が放出される材料が望ましく、例えば上記ダイヤモンドの他、ダイヤモンドライクカーボン、TiN等を選択しても良い。

【0048】次に、カソード電極2に統いて絶縁層3を堆積する。絶縁層3は、スパッタ法等の一般的な真空成膜法、熱酸化法、陽極酸化法等で形成され、その厚さとしては、数nmから数μmの範囲で設定され、好ましくは数十nmから数百nmの範囲から選択される。

【0049】更に、絶縁層3上にゲート電極4を堆積する。

【0050】ゲート電極4は、カソード電極2と同様に導電性を有しており、蒸着法やスパッタ法等の一般的な真空成膜技術、フォトリソグラフィー技術により形成される。

【0051】ゲート電極4の材料は、例えば、Be、Mg、Ti、Zr、Hf、V、Nb、Ta、Mo、W、Al、Cu、Ni、Cr、Au、Pt、Pd等の金属または合金材料、TiC、ZrC、HfC、TaC、SiC、WC等の炭化物、HfB₂、ZrB₂、LaB₆、CeB₆、YB₄、GdB₄等の硼化物、TiN、ZrN、HfN等の窒化物、Si、Ge等の半導体、カーボン等から適宜選択される。

【0052】ゲート電極4は、アノード電極6の電界により電子が放出しないように、カソード電極2に比べて、仕事関数の大きな材料が望ましい。

【0053】ゲート電極4の厚さとしては、数十nmか

ら数μmの範囲で設定され、好ましくは数十nmから数百nm程度の範囲で選択される。

【0054】次に、フォトリソグラフィー技術により、絶縁層3の一部及びゲート電極4の一部が基板1から取り除かれ、カソード電極2がアノード電極6側に露出するように開口領域が形成される。

【0055】この開口領域は、開口部周辺に絶縁層3とゲート電極4の積層領域が配置されるように形成される。また、本エッチング工程は、カソード電極2上で停止しても良いし、カソード電極2の一部がエッチングされて停止しても良い。

【0056】なお、この開口領域内に、電子放出部5が形成される。ただし、この電子放出部5は、開口領域内の空間部自体が電子放出部となる場合や、カソード電極2と同じ材料あるいは異なる材料によって、電子放出を容易にするために所定の構造を形成する場合がある。

【0057】本工程で形成される開口領域には、ホール型やスリット型等が挙げられ、必要なビーム形状や駆動電圧等により適切な形状が選択される。また、開口領域のサイズは、必要なビームサイズ、駆動電圧等により最適な領域から選択され、そのサイズは数nmから數十μmの範囲から選択される。

【0058】ここで、本発明の実施の形態に係る電子放出素子及び電子放出素子の駆動方法の場合には、アノード電極6の電界によってカソード電極2から容易に直接電子が放出するように、カソード電極2上に、ダイヤモンド、DLC、CNT等を配置した構造を設けて、これを電子放出部5とするのが望ましい。

【0059】ここで、低電界電子放出材料を用いた電子放出素子においては、従来技術に係る電子放出素子のように、ゲート電極に電圧を印加して、電子を引き出す構造の場合には、上述のように、電子放出を停止するためにゲート電極への電圧の印加を停止している状態においても、アノード電極による電界によって、電子が放出してしまい、完全にOFF状態にすることが困難であった。

【0060】また、このような構造の場合には、低電界電子放出材料を形成する場合に、ゲート電極間との距離の制御が困難で、駆動電圧のバラツキ等が問題であった。

【0061】これに対して本発明の実施の形態においては、次のように駆動することで、そのような問題を解決している。以下、電子放出機構について特に図4～図6を参照して詳細に説明する。

【0062】図4は本実施の形態に係る電子放出素子の電位分布((a)は駆動時、(b)は駆動停止時)を示す模式図であり、図5は本実施の形態に係る電子放出素子の電子軌道を示す模式図であり、図6はゲート電圧への印加に対する電子放出量のタイムチャート図((a)は本実施の形態の場合、(b)は従来の場合)である。

【0063】図4に示す一例では、開口領域のホールサイズを $2\mu m$ とし、電子を放出する駆動状態(a)と、電子放出を停止している駆動状態(b)の電位分布を示している。

【0064】また、バイアス状態としては、アノード電極6をカソード電極2から 2 mm の距離を隔てた位置に設け、アノード電極6に駆動電圧(ここでは 10 KV の電圧)を印加するようにし、駆動を行う場合(a)にはゲート電極4に 0 V 、駆動を行わない場合(b)にはゲート電極4に制御電圧(ここでは -15 V の電圧)を印加した状態である。

【0065】ここで、アノード電極6がカソード電極2に作用する電界を E_a 、ゲート電極4がカソード電極2に作用する電界を E_g 、カソード電極2から電子放出が開始される閾値電界を E_e とすると、電子を放出する駆動状態の場合には、 $E_g < E_e$ かつ $E_e < E_a$ を満たすと共に、電子放出を停止させる場合には、 $E_g < E_a$ かつ $E_a < E_e$ 、または、 $E_a < E_g$ かつ $E_g < E_e$ を満たすように、ゲート電極4に電圧を印加することが必要である。

【0066】図4(a)に示す状態では、カソード電極2に電子放出が開始される閾値電界 E_e より大きな電界 E_a がアノード電極6から印加され、電子放出が起こる駆動状態であることを示している。

【0067】一方、図4(b)に示す状態では、ゲート電極4に負の電圧が印加され、アノード電極6による電界 E_a が $E_e > E_a$ となり、電子放出が停止する。

【0068】すなわち、本実施の形態の場合には、図6(a)に示すタイミングチャートのように、ゲート電極に電圧を印加する状態では電子放出が停止し、ゲート電極に電圧を印加しない(あるいは駆動時に比べて印加する電圧値の絶対値が低い)状態では電子放出が行われる。

【0069】なお、従来のようにゲート電極で電子を引き出す構成の場合には、これとは逆に、図6(b)に示すタイミングチャートのように、ゲート電極に電圧を印加する状態では電子放出が行われ、ゲート電極に電圧を印加しない状態では電子放出が停止する。

【0070】このように、本実施の形態に係る電子放出素子の場合には、アノード電極6によって形成する電界によって、直接カソード電極2から電子を放出させる構成であって、アノード電極6に対して一定電圧を印加した状態のまま、ゲート電極4に対して、印加電圧を制御することによって、電子の放出及び停止を制御することができる。

【0071】従って、ゲート電極4への印加電圧の制御を行えばよいので、アノード電極6への印加電圧を制御する場合と比較して、小さな電圧によって制御でき、安定した制御が可能となる。

【0072】また、ゲート電極によってカソード電極か

ら電子を引き出す構造の場合のように、駆動を停止すべき場合に、アノード電極によって形成される電界によつて直接カソード電極から電子が放出されてしまうというような問題も解消できる。

【0073】なお、本発明の実施の形態に係る電子放出素子では、電子を放出する駆動状態において、ゲート電極4に負の電圧を印加する場合であつても、 $E_e < E_a$ の範囲内であれば、図5に示すように、電子放出部上空の電位を制御し、電子を収束する効果を得ることができる。

【0074】また、図7に示すように、カソード電極上の電子放出部5を、ダイヤモンド粒子を配置した構造としたり、図8に示すように、カソード電極上の電子放出部5を、低仕事関数材料を用いた突起構造を形成した構造としたりする場合でも同様の効果が得られる。

【0075】さらに、図9に示すように、カソード電極2が、ゲート電極4上に絶縁層3を介して配置された構造においても、上記の各図に示す構造の場合と同様に、ゲート電極4に負の電圧を印加することで、電子放出を停止することができる。

【0076】なお、図10には、図9に示す構造において、(a)では電子を放出する駆動状態、(b)では電子放出を停止する状態を示している。

【0077】また、図11に示すように、図10に示す構造において、電子放出をより低電圧で可能とするように、カソード電極2上の電子放出部5を、カソード電極2とは異なる電子放出材料を配置することで構成する構造としても良い。

【0078】次に、これまで説明した本実施の形態に係る電子放出素子を画像形成装置(いかに説明する蛍光膜などを除く構成では電子源といふこともできる)に用いた例について図12を参照して説明する。

【0079】本実施の形態に係る画像形成装置は、上記電子放出素子を複数配して得られるもので、図12において、1111は電子源基体、1112はX方向配線、1113はY方向配線であり、1114は本実施の形態に係る電子放出素子である。

【0080】図12においてm本のX方向配線1112は $D_{X_1}, D_{X_2}, \dots, D_{X_m}$ からなり、蒸着法にて形成された厚さ約 $1\mu m$ 、幅 $300\mu m$ のアルミニウム系配線材料で構成されている。配線の材料、膜厚、巾は、適宜設計される。

【0081】Y方向配線1113は厚さ $0.5\mu m$ 、幅 $100\mu m$ 、 $D_{Y_1}, D_{Y_2}, \dots, D_{Y_n}$ のn本の配線となり、X方向配線1112と同様に形成される。

【0082】これらm本のX方向配線1112とn本のY方向配線1113との間には、不図示の厚さ約 $1\mu m$ の層間絶縁層が設けられており、両者を電気的に分離している(m, nは、共に正の整数)。

【0083】不図示の層間絶縁層は、スパッタ法等を用

いて形成された絶縁層である。例えば、X方向配線1112を形成した基体1111の全面或は一部に所望の形状で形成され、特に、X方向配線1112とY方向配線1113の交差部の電位差に耐え得るように、膜厚、材料、製法が適宜設定される。

【0084】X方向配線1112とY方向配線1113は、それぞれ外部端子として引き出されている。

【0085】本実施の形態においては、電子放出素子1114を構成する一対の電極の層自体が、m本のX方向配線1112とn本のY方向配線1113としての機能も果たしている。

【0086】X方向配線1112には、X方向に配列した本発明の実施の形態に係る電子放出素子1114の行を選択するための走査信号を印加する不図示の走査信号印加手段が接続される。

【0087】一方、Y方向配線1113には、Y方向に配列した本発明の実施の形態に係る電子放出素子1114の各列を入力信号に応じて、変調するための不図示の変調信号発生手段が接続される。

【0088】各電子放出素子に印加される駆動電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給される。なお、本発明の実施の形態においてはY方向配線には高電位、X方向配線には低電位になるように接続されている。このように接続することで、ビームの収束効果が得られる。

【0089】上記構成においては、単純なマトリクス配線を用いて、個別の素子を選択し、独立に駆動可能とすることができる。

【0090】このような単純マトリクス配置の電子源を用いて構成した画像形成装置の表示パネルを形成することができる。

【0091】尚、本発明の実施の形態に係る電子放出素子を用いた画像形成装置では、放出した電子軌道を考慮して素子上部に画像形成部材としての蛍光体をアライメントして配置する。

【0092】図13は本実施の形態に係る表示パネルに使用した蛍光膜を示す模式図である。

【0093】カラーの蛍光膜の場合は、蛍光体の配列により図13(a)に示すブラックストライプあるいは図13(b)に示すブラックマトリクスなどと呼ばれる黒色導電材121と蛍光体122とから構成する。

【0094】ここで、ブラックストライプやブラックマトリクスを設ける目的は、カラー表示の場合、必要となる三原色蛍光体の各蛍光体122間の塗り分け部を黒くすることで混色等を目立たなくし、蛍光膜124における外光反射によるコントラストの低下を抑制するためである。

【0095】ブラックストライプの材料としては、本実施の形態では通常用いられている黒鉛を主成分とする材料用いた。

【0096】図12において蛍光膜1124の内面側には、通常メタルバック1125が設けられる。

【0097】メタルバック1125は、蛍光膜1124を作製した後、蛍光膜1124の内面側表面の平滑化処理（通常、「フィルミング」と呼ばれる。）を行い、その後A1を、真空蒸着等を用いて堆積させることができる。

【0098】フェースプレート1126には、更に蛍光膜1124の導電性を高めるため、蛍光膜1124の外側に透明電極（不図示）を設けた。

【0099】また、図12中、1122は支持枠であり、支持枠1122には、リアプレート1121、フェースプレート1126がフリットガラス等を用いて接続されることで、外囲器1127を構成しており、例えば、大気中あるいは窒素中で、所定の温度範囲で所定時間以上焼成することで、封着して構成される。

【0100】この封着を行う際には、カラーの場合は各色蛍光体と電子放出素子とを対応させる必要があり、十分な位置合わせが不可欠となる。本実施の形態では電子源の真上に対応する蛍光体が配置される。

【0101】次に、本実施の形態に係る電子放出素子を画像形成装置に適用する場合における画像形成装置の走査回路図について図14を参照して説明する。

【0102】同回路は、内部にM個のスイッチング素子を備えたもので（図中、S1ないしSmで模式的に示している）ある。各スイッチング素子は、直流電圧源Vxの出力電圧もしくは0[V]（グランドレベル）のいずれか一方を選択し、表示パネル1301の端子Dx1ないしDxmと電気的に接続される。

【0103】S1乃至Smの各スイッチング素子は、制御回路1303が outputする制御信号T scanに基づいて動作するものであり、例えばFETのようなスイッチング素子を組み合わせることにより構成することができる。

【0104】直流電圧源Vxは、本例の場合には本発明の実施の形態に係る電子電子放出素子の特性（電子放出しきい値電圧）に基づき走査されていない素子に印加される駆動電圧が電子放出しきい値電圧以下となるような一定電圧を出力するよう設定されている。

【0105】制御回路1303は、外部より入力する画像信号に基づいて適切な表示が行なわれるよう各部の動作を整合させる機能を有する。制御回路1303は、同期信号分離回路1306より送られる同期信号T syncに基づいて、各部に対してT scanおよびT sfおよびT readyの各制御信号を発生する。

【0106】同期信号分離回路1306は、外部から入力されるNTSC方式のテレビ信号から同期信号成分と輝度信号成分とを分離する為の回路で、一般的な周波数分離（フィルター）回路等を用いて構成できる。同期信号分離回路1306により分離された同期信号は、垂直

同期信号と水平同期信号より成るが、ここでは説明の便宜上 T_{sync} 信号として図示した。

【0107】前記テレビ信号から分離された画像の輝度信号成分は便宜上 DATA 信号と表した。該 DATA 信号はシフトレジスタ 1304 に入力される。

【0108】シフトレジスタ 1304 は、時系列的にシリアルに入力される前記 DATA 信号を、画像の 1 ライン毎にシリアル／パラレル変換するためのもので、前記制御回路 1303 より送られる制御信号 T_{shift} に基づいて動作する（即ち、制御信号 T_{shift} は、シフトレジスタ 1304 のシフトクロックであるといふこともできる。）。

【0109】シリアル／パラレル変換された画像 1 ライン分（電子放出素子 N 素子分の駆動データに相当）のデータは、 I_{d1} 乃至 I_{dn} の N 個の並列信号として前記シフトレジスタ 1304 より出力される。

【0110】ラインメモリ 1305 は、画像 1 ライン分のデータを必要時間の間だけ記憶する為の記憶装置であり、制御回路 1303 より送られる制御信号 T_{memory} に従って適宜 I_{d1} 乃至 I_{dn} の内容を記憶する。記憶された内容は、 I'_{d1} 乃至 I'_{dn} として出力され、変調信号発生器 1307 に入力される。

【0111】変調信号発生器 1307 は、画像データ I'_{d1} 乃至 I'_{dn} の各々に応じて本発明の実施の形態に係る電子放出素子の各々を適切に駆動変調する為の信号源であり、その出力信号は、端子 D_{ox1} 、 D_{oy1} を通じて表示パネル 1301 内の本発明の実施の形態に係る電子放出素子に印加される。

【0112】ここで、本発明の実施の形態に係る電子放出素子は放出電流 I_e に対して以下の基本特性を有している。

【0113】即ち、電子放出には明確なしきい値電圧 V_{th} があり、 V_{th} 以上の電圧を印加された時のみ電子放出が生じる。電子放出しきい値以上の電圧に対しては、素子への印加電圧の変化に応じて放出電流も変化する。

【0114】このことから、本素子にパルス状の電圧を印加する場合、例えば電子放出閾値以下の電圧を印加しても電子放出は生じないが、電子放出閾値以上の電圧を印加する場合には電子ビームが出力される。その際、パルスの波高値 V_m を変化させる事により出力電子ビームの強度を制御することが可能である。

【0115】また、パルスの幅 P_w を変化させることにより出力される電子ビームの電荷の総量を制御する事が可能である。

【0116】従って、入力信号に応じて、電子放出素子を変調する方式としては、電圧変調方式、パルス幅変調方式等が採用できる。電圧変調方式を実施するに際しては、変調信号発生器 1307 として、一定長さの電圧パルスを発生し、入力されるデータに応じて適宜パルスの

波高値を変調するような電圧変調方式の回路を用いることができる。

【0117】パルス幅変調方式を実施するに際しては、変調信号発生器 1307 として、一定の波高値の電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの幅を変調するようなパルス幅変調方式の回路を用いることができる。

【0118】シフトレジスタやラインメモリは、デジタル信号式あるいはアナログ信号式のものを採用できる。画像信号のシリアル／パラレル変換や記憶が所定の速度で行なわれれば良いからである。

【0119】デジタル信号式を用いる場合には、同期信号分離回路 1306 の出力信号 DATA をデジタル信号化する必要があるが、これには 1306 の出力部に A/D 変換器を設ければ良い。これに関連してラインメモリ 1305 の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器 1307 に用いられる回路が若干異なったものとなる。

【0120】即ち、デジタル信号を用いた電圧変調方式の場合、変調信号発生器 1307 には、例えば D/A 変換回路を用い、必要に応じて増幅回路などを付加する。パルス幅変調方式の場合、変調信号発生器 1307 には、例えば高速の発振器および発振器の出力する波数を計数する計数器（カウンタ）及び計数器の出力値と前記メモリの出力値を比較する比較器（コンパレータ）を組み合わせた回路を用いる。

【0121】必要に応じて、比較器の出力するパルス幅変調された変調信号を本発明の電子電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。

【0122】アナログ信号を用いた電圧変調方式の場合、変調信号発生器 1307 には、例えばオペアンプなどを用いた増幅回路を採用でき、必要に応じてレベルシフト回路などを付加することもできる。パルス幅変調方式の場合には、例えば、電圧制御型発振回路（VCO）を採用でき、必要に応じて本発明の実施の形態に係る電子放出素子の駆動電圧まで電圧増幅するための増幅器を付加することもできる。

【0123】ここで述べた画像形成装置の構成は、本発明を適用可能な画像形成装置の一例であり、本発明の技術思想に基づいて種々の变形が可能である。例えば入力信号については、NTSC 方式を挙げたが入力信号はこれに限られるものではなく、PAL、SECAM 方式など他、これよりも、多数の走査線からなる TV 信号（例えば、MUSE 方式をはじめとする高品位 TV）方式をも採用できる。

【0124】また、表示装置の他、感光性ドラム等を用いて構成された光プリンターとしての画像形成装置等としても用いることができる。

【0125】

【実施例】以下、上記実施の形態に基づいたより具体的な実施例について詳細に説明する。

【0126】(実施例1)本実施例においては、その基本的な構成及び製造方法については、上記実施の形態の中で参照・説明した図1～図3に示したものと同一である。

【0127】以下に、本実施例に係る電子放出素子の製造工程を詳細に説明する。

【0128】基板1に石英を用い、十分洗浄を行った後、スパッタ法によりカソード電極2として厚さ300nmのTiN、絶縁層3として厚さ100nmのSiO₂、ゲート電極4として厚さ150nmのTaを堆積した。

【0129】その後、フォトリソグラフィー行程で、ポジ型フォトマスク(OFPR800/東京応化社製)のスピンドルコーティング、フォトマスクパターンを露光、現像し、マスクパターンを転写した。その後、バーニングした前記フォトマスクをマスクとし、絶縁層3及びゲート電極4を、CF₄ガスを用いてドライエッチングし、カソード電極2で停止させた。このときの開口領域は、2μmの円形とした。

【0130】次に、前記開口部の中に選択的にカーボンナノチューブを成長させ、電子放出材料とした。

【0131】以上のようにして作製した素子を、真空容器に配置して駆動した。駆動電圧は、アノード電極6に基板から2mmの距離を隔てて10KVの電圧を加えた状態で、カソード電極2及びゲート電極4をそれぞれ0Vとした状態にすると電子放出が観測された。

【0132】次に、ゲート電極4に-20V、カソード電極2に0Vを印加すると、カソード電極2からの電子放出を停止することができた。

【0133】(実施例2)実施例1と同様に、基板1上に、カソード電極2、絶縁層3、ゲート電極4を積層し、フォトリソグラフィー技術により開口領域を形成し、カソード電極上にCNTを成長させた。

【0134】以上のようにして作製した素子を、真空容器に配置し駆動した。

【0135】駆動電圧として、アノード電極6には素子から2mmの距離を隔てて10KVの電圧を印加し、カソード電極2を0V、ゲート電極4に-5Vを印加した。その結果、カソード電極2から電子放出が観測され、また、カソード電極2が0Vの場合と比べて、電子軌道を収束できた。

【0136】次に、上記の電子放出の駆動状態から、ゲート電極4に-20Vの電圧を印加すると、カソード電極2からの電子放出を停止できた。

【0137】(実施例3)十分洗浄した青板ガラス上に、スパッタ法でゲート電極4としてTaを200nm堆積し、次に絶縁層3として、SiO₂を100nm堆積した。次に、SiO₂上に、カソード電極2としてTiNを100nm堆積した。

Nを堆積した。

【0138】次に、上記のカソード電極2及びSiO₂層を周囲がゲート電極4によって囲まれるように、カソード電極2の一部及びSiO₂層の一部を除去した構造を形成した(図9及び図10に示す構造)。

【0139】その結果、凸構造の素子が作製できTiNのカソード電極2の層を電子放出材料とした。

【0140】上記のようにして作製した素子を、真空容器内にセットし、アノード電極6を蛍光体として素子上空に1mmの距離を隔てて10KVの電圧を印加した状態で、ゲート電極4及びカソード電極2に0Vを印加した。

【0141】その結果、電子放出が観測され、蛍光体に100μmの電子ビームパターンが観測された。

【0142】次に、蛍光体に上記と同じ電圧を印加した状態で、カソード電極2に0V、ゲート電極4に-25Vを印加すると、電子放出が停止した。

【0143】(実施例4)実施例3と同様に、ゲート電極4、絶縁層3、カソード電極2をこの順に堆積した後、カソード電極2上にダイヤモンド粒子を散布した。次に、実施例3と同様に、フォトリソグラフィー技術を用いて、周囲をゲート電極が取り囲むように、ダイヤモンド粒子、カソード電極、絶縁層を除去した(図1-1に示す構造)。

【0144】上記のようにして作製した素子を、真空容器内に配置し、基板上空に1mmの距離を隔てた位置に設けられたアノード電極6に10KVの電圧を印加した状態で、ゲート電極4に-5Vの電圧を印加すると、電子放出が観測できた。

【0145】次に、上記の駆動状態からゲート電極4に-25Vの電圧を印加すると、電子放出が停止した。

【0146】(実施例5)実施例1から4に示す電子放出素子を10×10のMTX状に配置して電子源を構成し、画像形成装置として構成する場合について説明する。一例として、実施例1の電子放出素子を適用する場合について説明する。

【0147】配線は、図1-2に示すようにx配線をカソード電極2に、y配線をゲート電極4に接続した。なお、素子は、横100μm、縦300μmのピッチで配置した。素子上部には1mmの距離を隔てた位置に15kVの電圧を印加するアノード電極を配置した。

【0148】この結果、高精細な画像形成装置が形成できた。

【0149】

【発明の効果】以上説明したように、本発明は、電子放出の駆動制御を、低電圧で容易に行うことができ、安定した制御を行うことができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る電子放出素子の模式図である。

【図2】電圧を印加可能な状態に配線した場合における本発明の実施の形態に係る電子放出素子の模式図である。

【図3】本発明の実施の形態に係る電子放出素子の製造工程図である。

【図4】本発明の実施の形態に係る電子放出素子の電位分布を示す模式図である。

【図5】本発明の実施の形態に係る電子放出素子の電子軌道を示す模式図である。

【図6】ゲート電圧への印加に対する電子放出量のタイムチャート図である。

【図7】本発明の実施の形態に係る電子放出素子の模式図である。

【図8】本発明の実施の形態に係る電子放出素子の模式図である。

【図9】本発明の実施の形態に係る電子放出素子の模式図である。

【図10】本発明の実施の形態に係る電子放出素子の電位分布を示す模式図である。

【図11】本発明の実施の形態に係る電子放出素子の模式図である。

【図12】本発明の実施の形態に係る画像形成装置の一部破断斜視図である。

【図13】本発明の実施の形態に係る表示パネルに使用した蛍光膜を示す模式図である。

【図14】本発明の実施の形態に係る画像形成装置の走査回路図である。

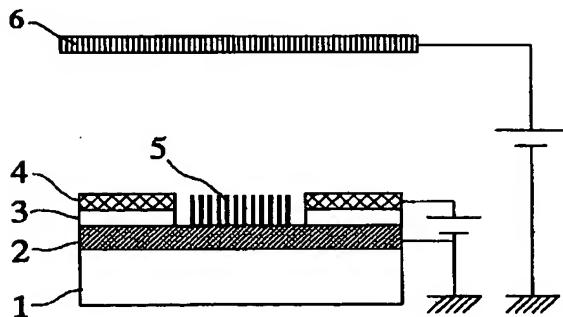
【図15】従来技術に係る電子放出素子の電位分布を示す模式図である。

【図16】従来技術に係る電子放出素子の電位分布を示す模式図である。

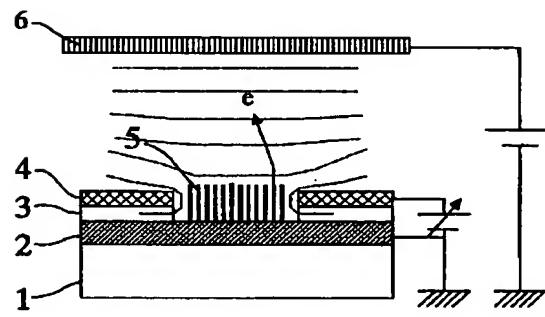
【符号の説明】

- 1 基板
- 2 カソード電極
- 3 絶縁層
- 4 ゲート電極
- 5 電子放出部
- 6 アノード電極
- 121 黒色導電材
- 122 蛍光体
- 124 蛍光膜
- 1111 基体
- 1112 X方向配線
- 1113 方向配線
- 1114 電子放出素子
- 1121 リアプレート
- 1122 支持枠
- 1124 蛍光膜
- 1125 メタルバック
- 1126 フェースプレート
- 1127 外囲器
- 1301 表示パネル
- 1303 制御回路
- 1304 シフトレジスタ
- 1305 ラインメモリ
- 1306 同期信号分離回路
- 1307 变調信号発生器

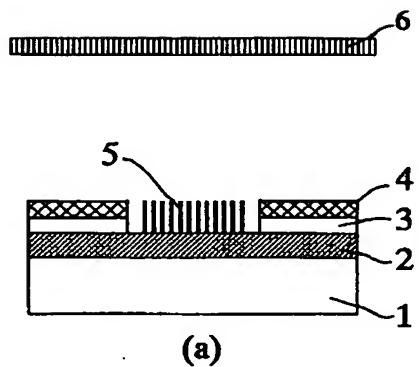
【図2】



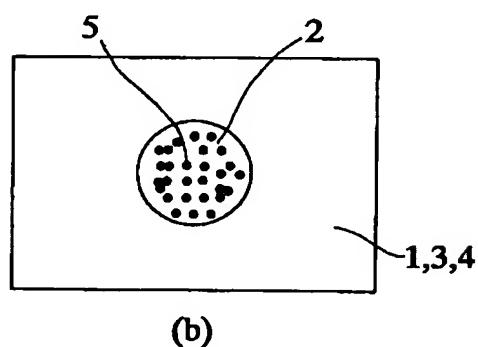
【図5】



【図1】

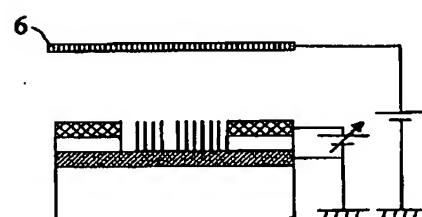
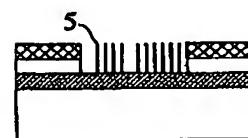
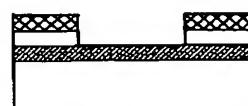
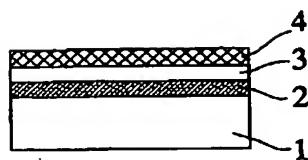


(a)

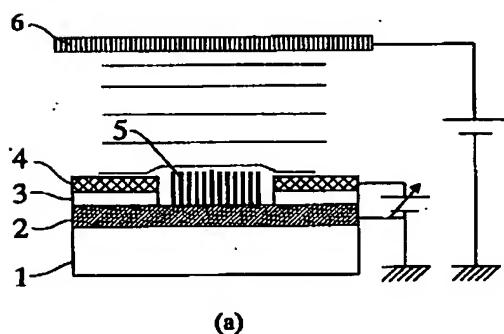


(b)

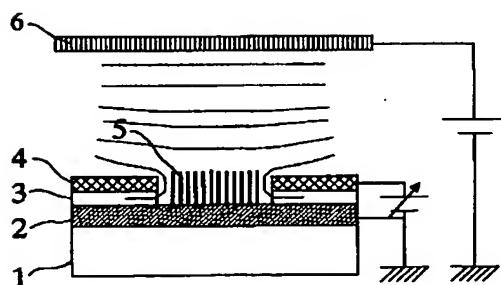
【図3】



【図4】

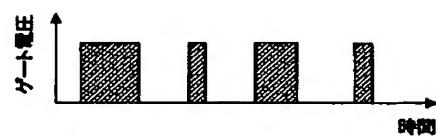


(a)

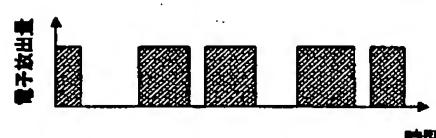


(b)

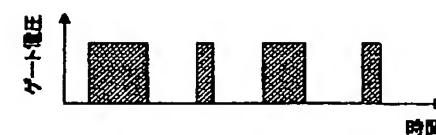
【図6】



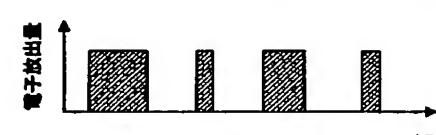
(a)



(a)

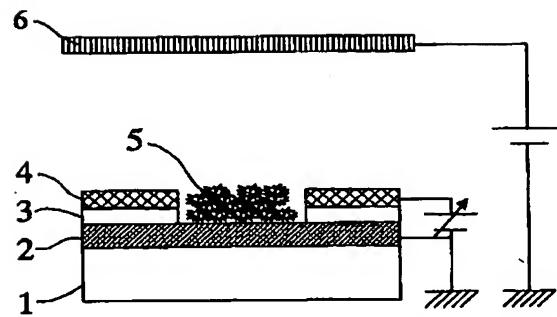


(b)

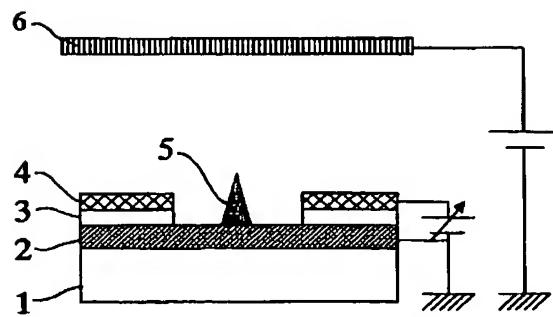


(b)

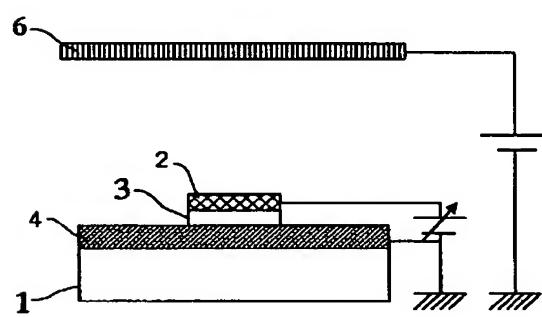
【図7】



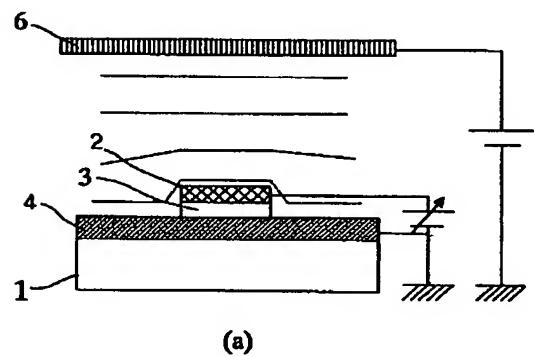
【図8】



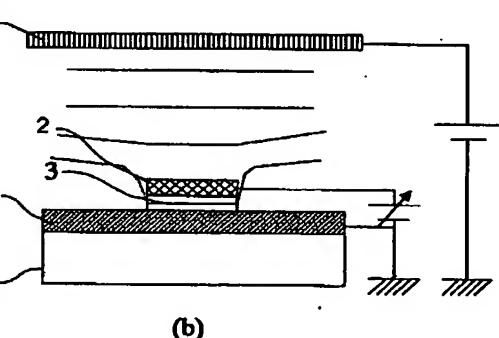
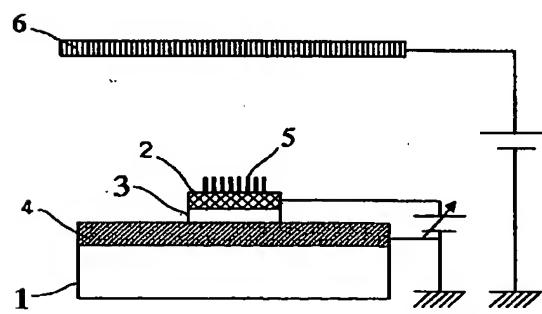
【図9】



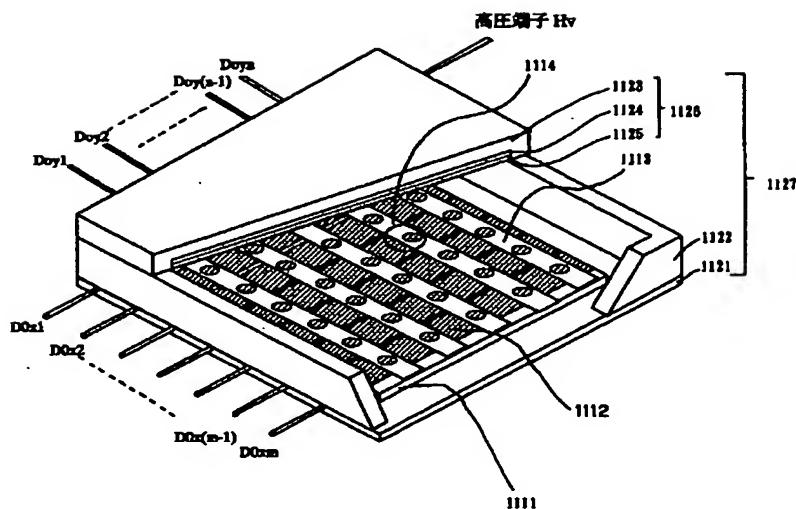
【図10】



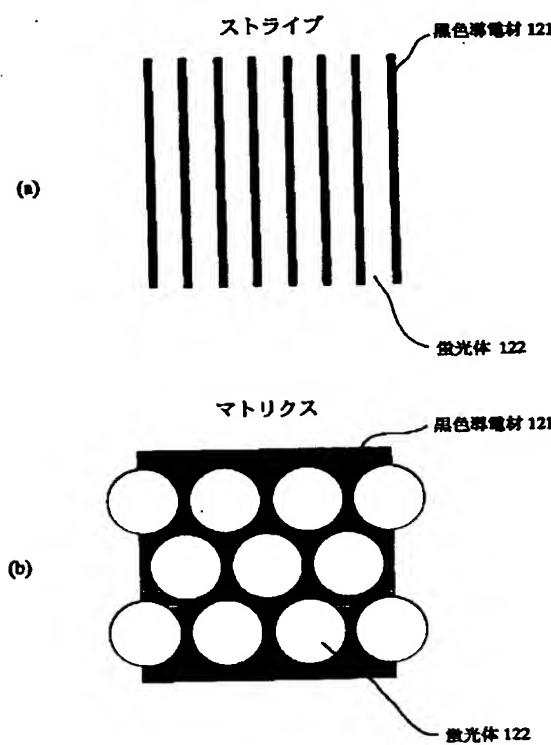
【図11】



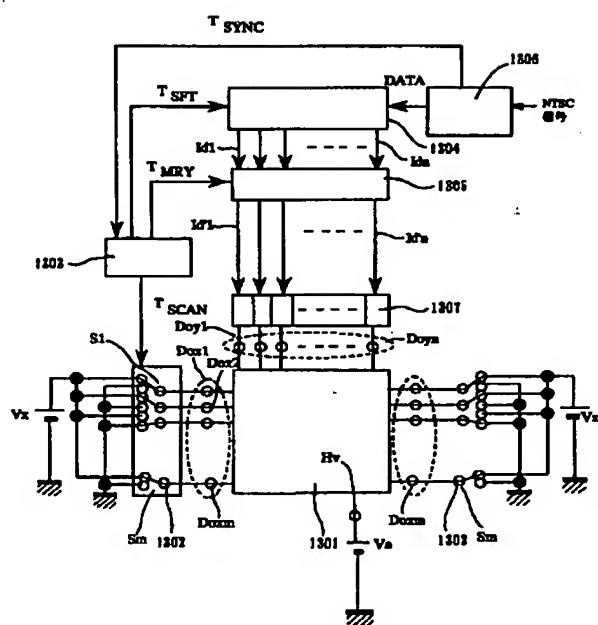
【図12】



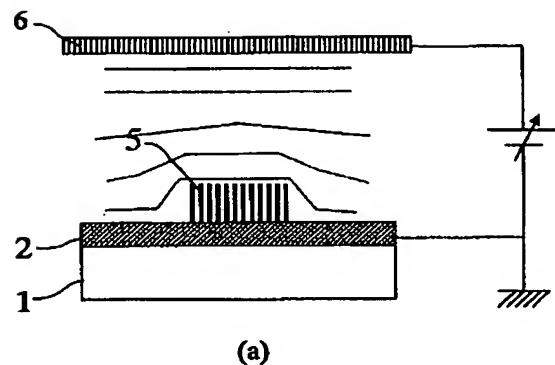
【図13】



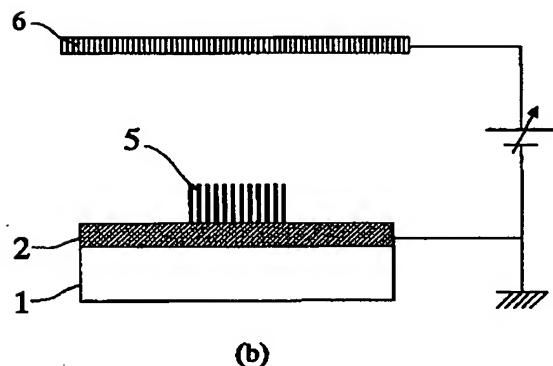
【図14】



【図15】

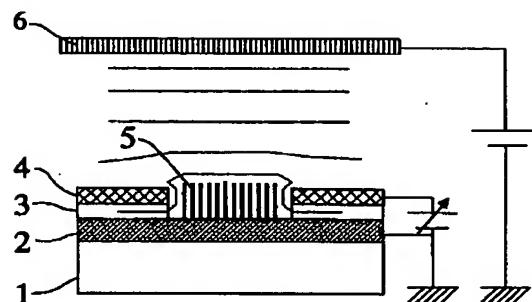


(a)

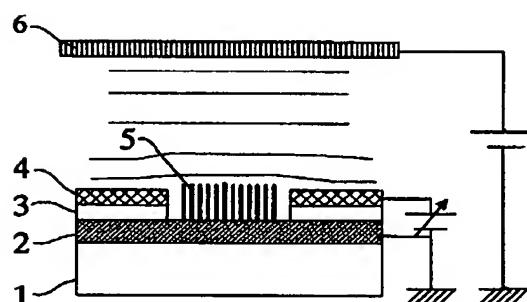


(b)

【図16】



(a)



(b)